

(19) 日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-252129

(43) 公開日 平成9年(1997)9月22日

| (51) Int.Cl. ⁸ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|-----------------------------|---------|--------|---------|---------|
| H 0 1 L | 29/78 | | H 0 1 L | 29/78 |
| | 21/28 | | | 3 0 1 R |
| | 21/76 | | | V |
| | 21/8244 | | | N |
| | 27/11 | | | 3 8 1 |
| | | | | 3 0 1 H |
| 審査請求 未請求 請求項の数4 F D (全 5 頁) | | | | |

(21) 出願番号 特願平8-87428

(22) 出願日 平成8年(1996)3月15日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 岡本 裕

東京都品川区北品川6丁目7番35号 ソニー株式会社内

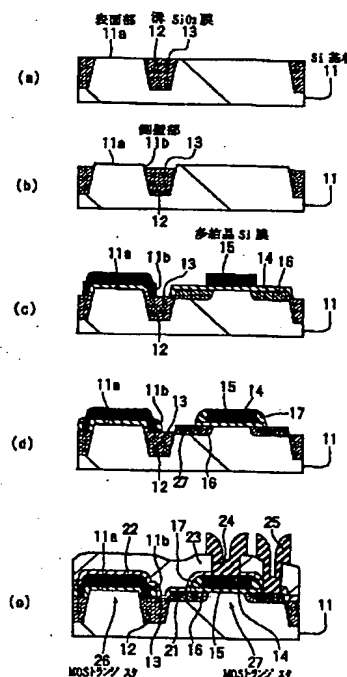
(74) 代理人 弁理士 土屋 勝

(54) 【発明の名称】 電界効果トランジスタ及びその製造方法

(57) 【要約】

【課題】 電界効果トランジスタの平面的な面積が同じでもチャンネル幅を広くして、微細化と電流駆動能力の向上とを両立させる。

【解決手段】 素子活性領域と素子分離領域との境界部で素子活性領域におけるSi基板11の側壁部11bが素子分離領域におけるSiO₂膜13から露出しており、ゲート電極である多結晶Si膜15が素子活性領域におけるSi基板11の表面部11a上及び側壁部11b上を延びている。このため、MOSトランジスタ26、27の平面的な面積が同じでも側壁部11bの長さ分だけチャンネル幅が広い。



1

【特許請求の範囲】

【請求項1】 素子活性領域と素子分離領域との境界部で前記素子活性領域における半導体基板の側壁部が前記素子分離領域における絶縁膜から露出しており、前記素子活性領域における前記半導体基板の表面部上及び前記側壁部上をゲート電極が延びていることを特徴とする電界効果トランジスタ。

【請求項2】 前記半導体基板に設けられている溝が前記絶縁膜に埋められることによって前記素子分離領域が形成されていることを特徴とする請求項1記載の電界効果トランジスタ。

【請求項3】 メモリセルを構成しているフリップフロップの駆動用トランジスタと転送用トランジスタとのうちで前記駆動用トランジスタにおいてのみ前記側壁部が前記絶縁膜から露出していることを特徴とする請求項1記載の電界効果トランジスタ。

【請求項4】 素子分離領域を形成している絶縁膜の表面部をエッチングすることによって、素子活性領域と前記素子分離領域との境界部で前記素子活性領域における半導体基板の側壁部を前記絶縁膜から露出させる工程と、前記素子活性領域における前記半導体基板の表面部及び前記側壁部上を延びるゲート電極を形成する工程とを具備することを特徴とする電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本願の発明は、ゲート電極下の素子活性領域がチャネル領域になっている電界効果トランジスタ及びその製造方法に関するものである。

【0002】

【従来の技術】 図4は、nチャネル型のMOSトランジスタ及びその製造方法の一従来例を示している。この一従来例では、図4(a)に示す様に、p型のSi基板11のうちで素子分離領域を形成すべき部分に深さが0.5 μ mの溝12を形成した後、バイアスECR法でSiO₂膜13を全面に堆積させる。

【0003】そして、Si基板11の表面部11aが露出するまでSiO₂膜13に対して化学的機械的研磨による平坦化を行い、溝12内にのみSiO₂膜13を埋め込んで、トレンチアイソレーション構造の素子分離領域を形成する。

【0004】次に、図4(b)に示す様に、900℃の水蒸気雰囲気中でSi基板11の表面部11aを酸化することによって、膜厚が10nmのSiO₂膜14をゲート酸化膜として形成する。そして、膜厚が200nmで燐がドーブされている多結晶Si膜15をCVD法で堆積させ、この多結晶Si膜15をゲート電極のパターンに加工する。

【0005】その後、多結晶Si膜15をマスクにし

2

て、30keVの加速エネルギー及び $3 \times 10^{12} \text{cm}^{-2}$ のドーズ量でPhos+をイオン注入することによって、LDD構造用の低濃度の拡散層16をSi基板11に形成する。

【0006】次に、図4(c)に示す様に、膜厚が150nmのSiO₂膜17をCVD法で堆積させ、SiO₂膜17の全面に異方性ドライエッチングを行って、このSiO₂膜17から成る側壁スペーサを多結晶Si膜15に形成する。そして、多結晶Si膜15及びSiO₂膜17をマスクにして、50keVの加速エネルギー及び $3 \times 10^{15} \text{cm}^{-2}$ のドーズ量でAs+をイオン注入することによって、ソース/ドレインとしての高濃度の拡散層21をSi基板11に形成する。

【0007】次に、図4(d)に示す様に、層間絶縁膜として膜厚が100nmのSiO₂膜22と膜厚が500nmのBPSG膜23とをCVD法で順次に堆積させ、900℃のN₂中における20分間の熱処理でBPSG膜23をフローさせて表面を平滑化する。そして、コンタクト孔24を開口した後、膜厚が500nmのAl配線25を形成して、MOSトランジスタ26、27を完成させる。

【0008】一方、図3は、上述の様なMOSトランジスタ26、27が用いられ得る一例としての高抵抗負荷型SRAMにおけるメモリセルの等価回路を示している。このメモリセルのフリップフロップ31は、駆動用のMOSトランジスタ32、33と負荷用の抵抗素子34、35とから成っており、このフリップフロップ31と転送用のMOSトランジスタ36、37とでメモリセルが構成されている。

【0009】MOSトランジスタ32、33のソースには接地線41が接続されており、抵抗素子34、35には電源線42が接続されている。また、ワード線43がMOSトランジスタ36、37のゲート電極になっており、これらのMOSトランジスタ36、37の各々の一方のソース/ドレインに真補のビット線44、45が接続されている。

【0010】

【発明が解決しようとする課題】ところが、図4に示した一従来例のMOSトランジスタ26、27では、微細化に伴ってチャネル幅が狭くなるので、微細化と電流駆動能力の向上とを両立させることが困難であった。

【0011】また、これらのMOSトランジスタ26、27の様に素子分離領域がトレンチアイソレーション構造であると、LOCOS法で生じるバズピークが素子分離領域で殆ど生じない。このため、図3に示したSRAMのメモリセルにMOSトランジスタ26、27を適用すると、転送用のMOSトランジスタ36、37のチャネル幅を設計値よりも小さくすることができない。

【0012】従って、メモリセル面積が同じであれば、転送用のMOSトランジスタ36、37のチャネル幅に

3

対する駆動用のMOSトランジスタ32、33のチャネル幅の比を大きくすることが困難で、微細なSRAMにおいて安定なデータ書き込み特性を得ることが困難であった。

【0013】

【課題を解決するための手段】請求項1の電界効果トランジスタは、素子活性領域と素子分離領域との境界部で前記素子活性領域における半導体基板の側壁部が前記素子分離領域における絶縁膜から露出しており、前記素子活性領域における前記半導体基板の表面部上及び前記側壁部上をゲート電極が延びていることを特徴としている。

【0014】請求項2の電界効果トランジスタは、請求項1の電界効果トランジスタにおいて、前記半導体基板に設けられている溝が前記絶縁膜に埋められることによって前記素子分離領域が形成されていることを特徴としている。

【0015】請求項3の電界効果トランジスタは、請求項1の電界効果トランジスタにおいて、メモリセルを構成しているフリップフロップの駆動用トランジスタと転送用トランジスタとのうちで前記駆動用トランジスタにおいてのみ前記側壁部が前記絶縁膜から露出していることを特徴としている。

【0016】請求項4の電界効果トランジスタの製造方法は、素子分離領域を形成している絶縁膜の表面部をエッチングすることによって、素子活性領域と前記素子分離領域との境界部で前記素子活性領域における半導体基板の側壁部を前記絶縁膜から露出させる工程と、前記素子活性領域における前記半導体基板の表面部及び前記側壁部上を延びるゲート電極を形成する工程とを具備することを特徴としている。

【0017】本願の発明による電界効果トランジスタでは、素子活性領域における半導体基板の表面部上のみならず側壁部上をもゲート電極が延びているので、表面部上のみをゲート電極が延びている構造に比べて、電界効果トランジスタの平面的な面積が同じでも側壁部の長さ分だけチャネル幅が広い。

【0018】また、メモリセルを構成しているフリップフロップの駆動用トランジスタと転送用トランジスタとのうちで駆動用トランジスタにのみ本構造を採用することによって、メモリセル面積が同じでも転送用トランジスタのチャネル幅に対する駆動用トランジスタのチャネル幅の比を大きくすることができる。

【0019】本願の発明による電界効果トランジスタの製造方法では、素子分離領域を形成している絶縁膜の表面部をエッチングしているので、マスクを用いることなく、素子活性領域における半導体基板の側壁部を素子分離領域の絶縁膜から露出させることができ、素子活性領域における半導体基板の側壁部を容易に露出させることができる。

4

【0020】

【発明の実施の形態】以下、nチャネル型のMOSトランジスタ及びその製造に適用した本願の発明の第1及び第2実施形態を、図1～3を参照しながら説明する。図1が、第1実施形態を示している。この第1実施形態でも、図1(a)に示す様に、p型のSi基板11の溝12内のみSiO₂膜13を埋め込んでトレンチアイソレーション構造の素子分離領域を形成するまでは、図4に示した一従来例と実質的に同様の工程を実行する。

【0021】しかし、この第1実施形態では、次に、図1(b)に示す様に、緩衝弗酸で溝12内のSiO₂膜13の表面部を0.1μmの厚さだけウエットエッチングして、素子活性領域におけるSi基板11の側壁部11bをSiO₂膜13から露出させる。その後は、図1(c)～(e)に示す様に、再び、既述の一従来例における図4(b)～(d)の工程と実質的に同様の工程を実行して、MOSトランジスタ26、27を完成させる。

【0022】以上の様にして製造した第1実施形態のMOSトランジスタ26、27では、ゲート電極である多結晶Si膜15が素子活性領域におけるSi基板11の表面部11a上のみならず側壁部11b上をも延びているので、図4に示した一従来例に比べて、MOSトランジスタ26、27の平面的な面積が同じでも、両側の側壁部11bの長さの和である0.2μmだけチャネル幅が広い。

【0023】図2が、SRAMのメモリセルに適用した第2実施形態を示している。図2(b)は、図3に対応するメモリセル内の概略的なレイアウトを示しており、MOSトランジスタ32、36が素子活性領域46に形成されており、MOSトランジスタ33、37が素子活性領域47に形成されている。

【0024】この第2実施形態でも、図2(b)に示す様に、素子活性領域46、47のうちで駆動用のMOSトランジスタ32、33を形成する領域48についてのみ、図2(a)に示す様に、Si基板11の側壁部11bをSiO₂膜13から露出させることを除いて、図4に示した一従来例と実質的に同様の工程を実行する。

【0025】以上の様にして製造した第2実施形態では、図4に示した一従来例の場合に比べて、メモリセル面積が同じでも、駆動用のMOSトランジスタ32、33のチャネル幅のみを0.2μmだけ広くすることができるので、転送用のMOSトランジスタ36、37のチャネル幅に対する駆動用のMOSトランジスタ32、33のチャネル幅の比を大きくすることができて、微細であるにも拘らずデータ書き込み特性の安定なSRAMを形成することができる。

【0026】なお、以上の第1及び第2実施形態の何れのものMOSトランジスタ26、27においても、トレンチアイソレーション構造の素子分離領域を形成している

5

が、LOCOS法による SiO_2 膜で素子分離領域を形成するMOSトランジスタ等にも本願の発明を適用することができる。

【0027】また、以上の第1及び第2実施形態の何れのMOSトランジスタ26、27の製造に際しても、緩衝弗酸によるウエットエッチングで素子活性領域における Si 基板11の側壁部11bを SiO_2 膜13から露出させているが、緩衝弗酸によるウエットエッチングの代わりにドライエッチング等を用いてもよい。

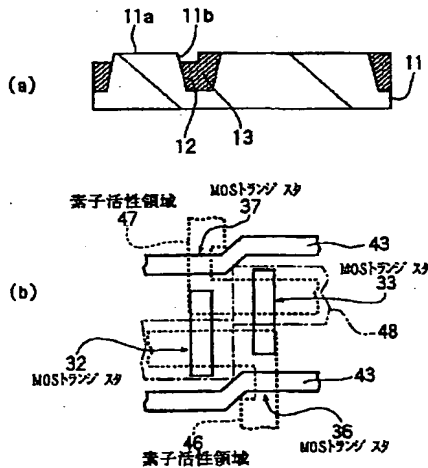
【0028】

【発明の効果】本願の発明による電界効果トランジスタでは、素子活性領域における半導体基板の表面部上のみをゲート電極が延びている構造に比べて、電界効果トランジスタの平面的な面積が同じでも側壁部の長さ分だけチャネル幅が広いので、微細化と電流駆動能力の向上とを両立させることができる。

【0029】また、メモリセル面積が同じでもメモリセルを構成している転送用トランジスタのチャネル幅に対する駆動用トランジスタのチャネル幅の比を大きくすることができるので、微細であるにも拘らずデータ書き込み特性の安定な半導体記憶装置を形成することができる。

【0030】本願の発明による電界効果トランジスタの製造方法では、素子活性領域における半導体基板の側壁部を容易に露出させることができるので、微細化と電流

【図2】



6

駆動能力の向上とを両立させることができる電界効果トランジスタを低コストで製造することができる。

【図面の簡単な説明】

【図1】本願の発明の第1実施形態を工程順に示す側断面図である。

【図2】本願の発明の第2実施形態を示しており、(a)は途中の工程における側断面図、(b)はメモリセル内の概略的なレイアウトの平面図である。

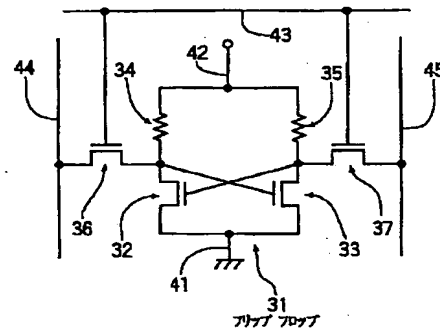
【図3】本願の発明を適用し得るSRAMのメモリセルの等価回路図である。

【図4】本願の発明の一従来例を工程順に示す側断面図である。

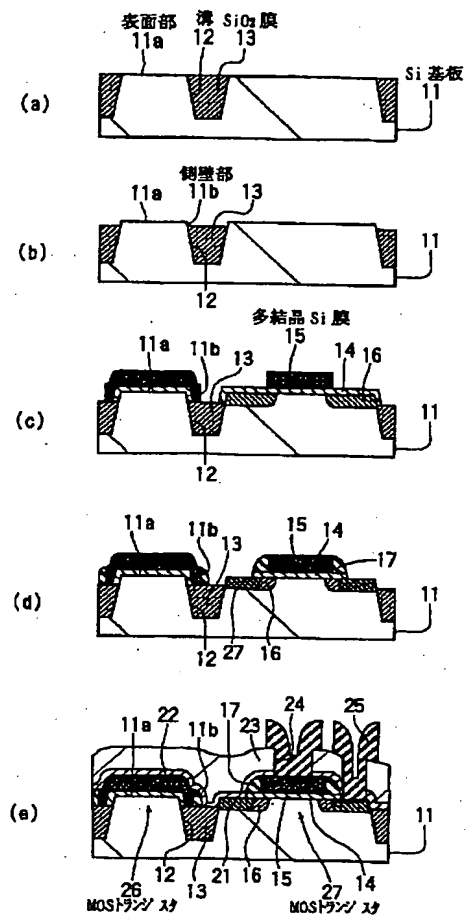
【符号の説明】

| | | | | | |
|----|-----------|-----|--------------------|-----|--------|
| 11 | Si基板 | 11a | 表面部 | 11b | 側壁部 |
| 12 | 溝 | 13 | SiO ₂ 膜 | 15 | 多結晶Si膜 |
| 26 | MOSトランジスタ | 27 | MOSトランジスタ | | |
| 31 | フリップフロップ | 32 | MOSトランジスタ | | |
| 33 | MOSトランジスタ | 36 | MOSトランジスタ | | |
| 37 | MOSトランジスタ | 46 | 素子活性領域 | | |
| 47 | 素子活性領域 | | | | |

【図3】



【図 1】



【図 4】

